Министерство образования и науки РФ

ФГБОУ ВПО «Тамбовский государственный технический университет»

Кафедра « »

Лабораторная работа №3

по дисциплине «Схемотехника»

Исследование дешифраторов

Выполнил: студент гр. −41 Д. Ю.

Проверил: С. А.

Тамбов,

***Цели и задачи****.*

Собрать декодер 4 входа, 16 выходов. Для получения задержек схемы и сравнения с целостным компонентом использовать не стандартизированные логические блоки.

***Решение задачи****.*

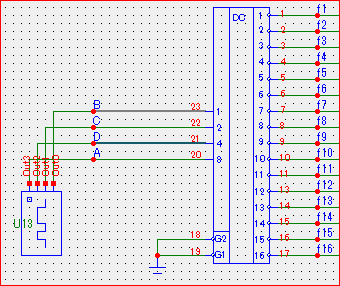
В теории известно, что декодер работает в положительной логике, то есть в зависимости от сигналов на входе, выход даст только один ноль, все остальные выходы устанавливаются в единицу. Тестирование собранной схемы (Рисунок 1) на базе готового компонента DC даст график его режимов работы.

Рисунок Собираем декодер

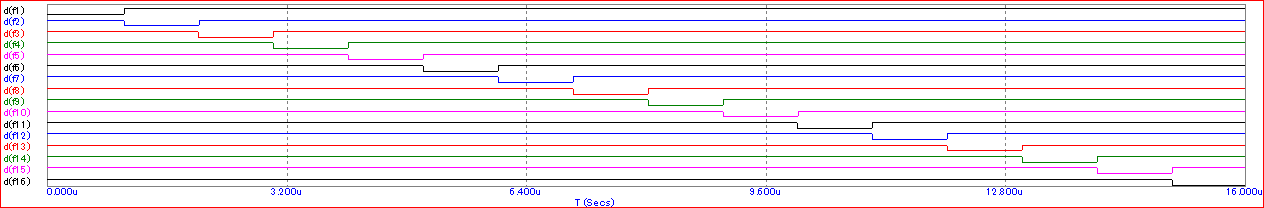
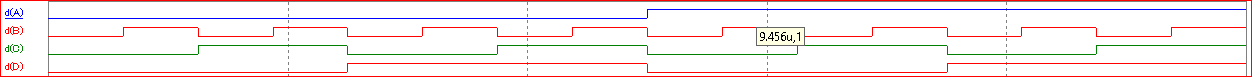
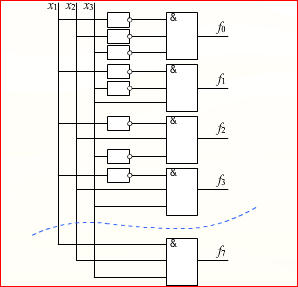


Рисунок Рабочий график

Комбинация 0000 на входе даст сигнал на самом первом из выходов, а 1111 переключит последний 15 выход, если считать с 0. Таким образом составим таблицу для 16 вариантов переключений и станет заметна «лесенка» из нулевых сигналов выходов.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **a** | **b** | **c** | **d** | **f1** | **f2** | **f3** | **f4** | **f5** | **f6** | **f7** | **f8** | **f9** | **f10** | **f11** | **f12** | **f13** | **f14** | **f15** | **f16** |
| **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **1** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** |
| **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** | **0** |
| **1** | **0** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** | **0** |
| **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** |
| **1** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** |
| **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **0** |
| **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** |

Очевидно, что функции для каждого выхода можно записать в следующем виде:

Таким образом, на каждом выходе значение 1 получится в том и только в том случае, если на вход был подан набор сигналов, который соответствует двоичной записи числа.

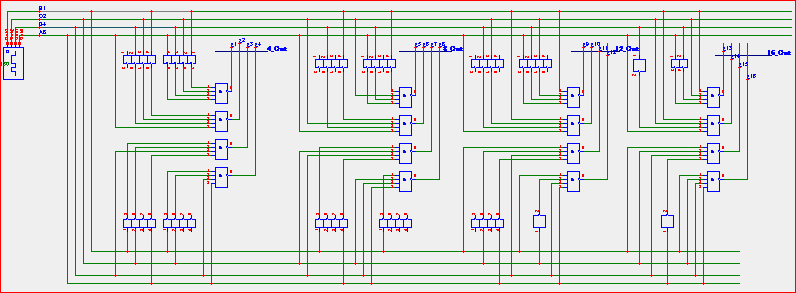
Исходя из выше записанных выражений логики, получаем схему из набора НЕ, И элементов. Однако собранная схема будет работать по отрицательной логике, выходным сигналом станет единица, что недопустимо. Изменив схему и заменив элементы И на И-НЕ, получим то что нужно.

Рисунок Сборка кодера из базовых элементов

При тестировании, временные графики выходов данной схемы (Рисунок 3) показали на первый взгляд теже характеристики, что и схема целостного компонента. Однако ограничение теста по времени с 16u до 3u наглядно показал разницу и появляющиеся задержки кустарной схемы (Рисунок 4).

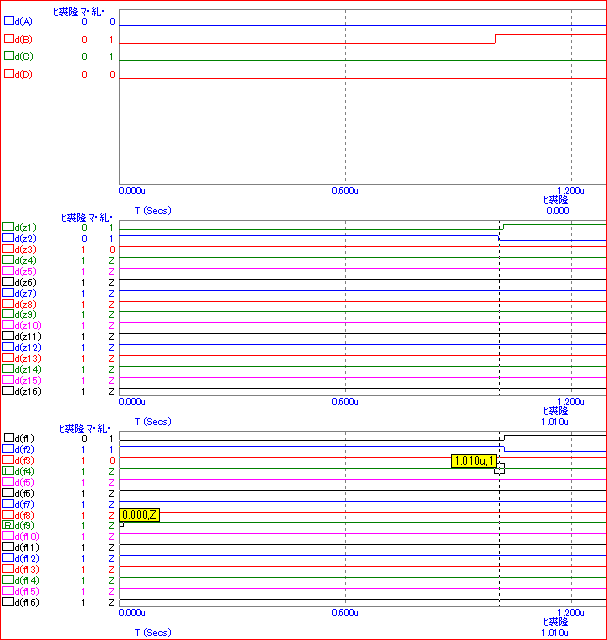


Рисунок Тестирование готового компонента f и сборки z